

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-064098

(43)Date of publication of application : 05.03.1990

(51)Int.Cl.

C30B 29/06
C30B 1/02

(21)Application number : 63-215536

(71)Applicant : NEC CORP

(22)Date of filing : 29.08.1988

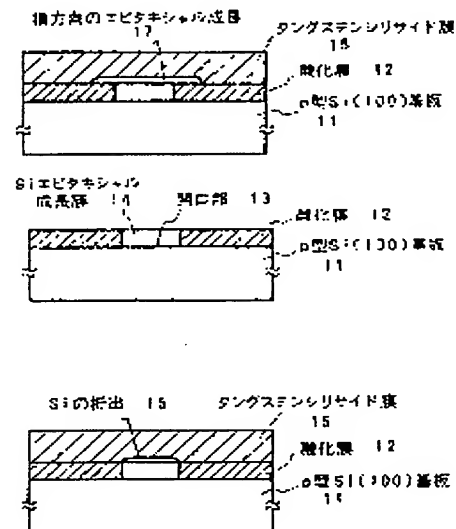
(72)Inventor : FUJIMOTO YUUKI
ISHTANI AKIHIKO

(54) METHOD FOR GROWTH OF SI THIN FILM

(57)Abstract:

PURPOSE: To efficiently grow an Si thin film by growing an Si layer on an opening part of a dielectric insulation film layer on a semiconductor base, depositing an silicide layer on the grown film and insulation film layers heat treating the silicide layer, separating and growing Si out of the silicide layer.

CONSTITUTION: A dielectric insulation film layer 12 (e.g., oxide film) is formed on a semiconductor base 11 (e.g., Si base) and an opening part 13 is formed at the prescribed part of the insulation film layer 12. An epitaxial growth of an Si layer 14 is then carried out selectively on the opening part 13 and a silicide layer 15 (e.g., tungsten silicide film) is then deposited on the insulation film layer 12 and the Si epitaxial growth film 14. The silicide layer 15 is subsequently subjected to heat treatment to separate Si 16 out of the silicide layer 15. The separated Si 16 is subjected to solid phase epitaxial growth from the part in contact with the Si epitaxial growth film 14 in the horizontal direction, thus obtaining the objective Si thin film 17.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-64098

⑬ Int.Cl.³

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)3月5日

C 30 B 29/06
1/02

8518-4G
8618-4G

審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 Si 薄膜の成長方法

⑯ 特 願 昭63-215536

⑰ 出 願 昭63(1988)8月29日

⑱ 発 明 者 藤 本 裕 希 東京都港区芝5丁目33番1号 日本電気株式会社内
⑲ 発 明 者 石 谷 明 彦 東京都港区芝5丁目33番1号 日本電気株式会社内
⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号
㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称 Si薄膜の成長方法

特許請求の範囲

半導体基板上に誘電体絶縁層を形成する工程と、誘電体絶縁層の所定の部分に開口部を形成する工程と、前記開口部に選択的にSi層をエビタキシャル成長する工程と、誘電体絶縁膜縁層及びSiエビタキシャル成長膜上にシリサイド層を堆積する工程と、前記シリサイド層に熱処理を加えることによってシリサイド層からSiを、前記Siエビタキシャル成長膜と接した部分から固相エビタキシャル成長させる工程とを含むことを特徴としたSi薄膜の成長方法。

発明の詳細な説明

(産業上の利用分野)

本発明は半導体膜の形成方法に係わり、詳しくはSiエビタキシャルラテラルオーバーグロースに関するものである。

(従来技術)

誘電体絶縁膜上にSi単結晶膜を形成する方法として、多結晶Siを酸化膜上に堆積し、種となる部分から熱処理を行なうことによってSi単結晶を酸化膜上に横方向へ成長させる方法が知られている。(応用物理学関係連合講演会予稿集昭和63年春季第2分冊p.582 28p-M-2:CVD Si膜の固相エビタキシャル成長[I])

(発明が解決しようとする問題点)

従来技術では、多結晶Siを固相エビタキシャル成長させるとき、誘電体絶縁膜上の多結晶シリコンが同時期に核成長をはじめると、種となる部分から横に伸びるエビタキシャル成長層と核成長した部分が接した時点で横方向の固相エビタキシャル成長は停止してしまう。

本発明の目的はこの問題を解決したSi薄膜の成長方法を提供することにある。

(問題点を解決するための手段)

半導体基板上に誘電体絶縁層を形成する工程と、誘電体絶縁層の所定の部分に開口部を形成す

特開平2-64098(2)

る工程と、前記開口部に選択的にSi層をエピタキシャル成長する工程と、誘電体絶縁膜層及びSiエピタキシャル成長上にシリサイド層を堆積する工程と、シリサイド層に熱処理を加えることによってシリサイド層からSiを前記Siエピタキシャル成長と接した部分からエピタキシャル成長させることを特徴としたSi薄膜の成長方法を提供するものである。

(作用)

スパッタ法や蒸着法の物理的成長方法では、一般に化学量論的組成からずれた組成をもった化合物の成膜を行なうことができる。このようにして成膜した膜は、その後の熱処理によって、熱力学的安定に化学量的組成を持つ平衡層と、残りの析出相とに相分離する。この時化学量論的な組成からずれた組成を持った膜に含まれている析出物となるべき物質の量が、特定の熱処理温度において固相三次元核発生するよりは低い、固相エピタキシャル成長するには十分な量であるとき、所定の部分にのみエピタキシャルオーバーグロースさ

せることができることを見出し本発明に至った。すなわち本発明ではシリッチの組成を持つシリサイドを形成させ、その後このシリサイドを熱処理することにより、Siを析出させる。この析出したSiを利用してエピタキシャルオーバーグロースさせるものである。

(実施例)

[実施例1]

p型Si(100)基板11を950°Cで熱酸化、酸化膜層12を5000Å形成した。ホトリソグラフィ技術によって酸化膜層12の所定の部分に基板Siが露出した開口部13を形成した。つぎに選択エピタキシャル成長を850°C、圧力30Torr、H₂ 120l/min、SiH₂Cl₂ 300cc/min、HCl 300cc/minの条件で酸化膜層12とはほぼ同じ高さにまでSiエピタキシャル成長膜14を形成した。第1図(a)にそのときの断面模式図を示す。つづいてタングステンシリサイド膜15をスパッタ法によって、膜厚~1μmで堆積した。このときの断面模式図を第1図(b)に示す。このスパッタ法による成膜において、ターゲットの組成は

WiSi=1:x(2<x≤4)とした。xの値が化学量論的組成比である2に近ければ析出するSiの量が少なくなるので、後続する熱処理によって行なうエピタキシャルラテラルオーバーグロースにおいて大きな成長速度の縦横比は得られなかった逆にxの値が4を越えると、後続する熱処理においてタングステンシリサイド膜からSiが三次元核発生し、同様にエピタキシャルラテラルオーバーグロースにおける大きな成長速度の縦横比は得られなかった。また、スパッタ法による成膜時の基板温度は、室温から300°Cの範囲で成膜を行なった。形成された膜の結晶性を電子線で評価した結果、基板温度が100°C以下では非晶質のタングステンシリサイドが、100°Cを越える基板温度では多結晶タングステンシリサイドが形成されていた。基板温度が300°C以上では、Siの析出層が見出され、既に相分離が進行していた。このようなスパッタ法で形成したタングステンシリサイド膜を熱処理すると、既にあるSi粒子を核として粒成長がおき、エピタキシャルオーバーグロースの妨げとなる。従って、基

板温度を室温から300°Cの範囲で行なった。スパッタガスはArとし、圧力5×10⁻³Torrで成膜を行なった。

以上の用にして形成したタングステンシリサイド膜を有する基板を熱処理条件としてN₂雰囲気、600°C、30分行なうことによりSiとタングステンシリサイド膜15の界面にSiの析出16を形成し、つづいて温度を800°Cに上げ5時間熱処理を行なうと~3000Åの横方向にエピタキシャル成長膜17が得られた。このときの断面模式図を第1図(c)に示す。600°Cの熱処理では過剰のSiの析出が非常に緩やかにおき、Si原子のタングステンシリサイド膜中での拡散距離も小さいので、ほとんど選択エピタキシャル成長によって形成した開口部のSi単結晶表面にのみ、エピタキシャル成長が起きる。その結果、開口部周辺のタングステンシリサイド膜中には固溶しているSiの温度分布が形成される。この温度分布の勾配は熱処理温度と熱処理時間に依存し、温度が低いほど急であり、熱処理時間が長いほど広く形成される。600°Cで30分の場合には、開

特開平2-64098(3)

口部の縦方向には WSi_2 とSiに相分離し、固溶している過剰Siの濃度分布はない。しかし、開口部から横方向には一次的に $\sim 1\mu\text{m}$ の範囲にわたって過剰Siの濃度変化がSIMS分析によって検出された。次に、熱処理温度を 800°C に上げるとタングステンシリサイド膜中のSi層との拡散が促進され、この一次的な温度分布が拡大するとともにエビタキシャルオーバーグロースした。5時間の熱処理によって、厚さ 3000\AA 、横方向に $\sim 8\mu\text{m}$ の単結晶膜が酸化膜上に得られた。

[実施例2]

実施例1において熱処理の工程を2段階で行なっているが 600°C から 800°C までを $6^\circ\text{C}/\text{min}$ の昇温速度で30分で 800°C に上げ、その後5時間熱処理しても同様の効果が得られる。

[実施例3]

実施例1, 2において使用したシリサイドをタングステンシリサイド膜15としたが、シリサイドの形成できる他の元素(たとえばTi, Zr, Hf, V, Nb, Ta, Mo, Co, Ni, Pb, Pt, K, Ca, Sc, Rh, Cu, As, Se, Br, P,

Cl, Rb, Sr, Y, Ba, La, Te, J, Ce, Pr, Nd, Sm, Gd, Dy, Er, Yb, Lu, Th, U, Np, Pu)でも同様にエビタキシャルオーバーグロースが可能である。

(発明の効果)

本発明を適用するならば、Siリッチの組成を持つシリサイドから横方向成長を行うのでSi粒子を核とした粒成長が抑制できる。エビタキシャルラテラルオーバーグロースが核成長により停止することがないので横方向への成長が良好に行える。

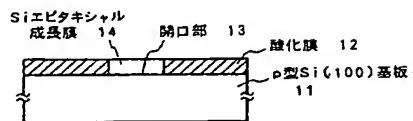
図面の簡単な説明

第1図(a)~(c)は本発明にかかる半導体膜の断面模式図である。

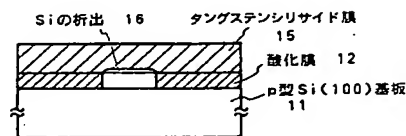
図において

p型Si(100)基板	11
酸化膜層	12
開口部	13
Siエビタキシャル成長膜	14
タングステンシリサイド膜	15
Siの析出	16
横方向のエビタキシャル成長膜	17

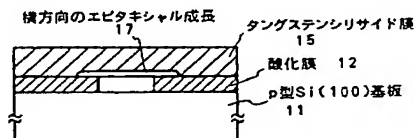
第 1 図



(a)



(b)



(c)